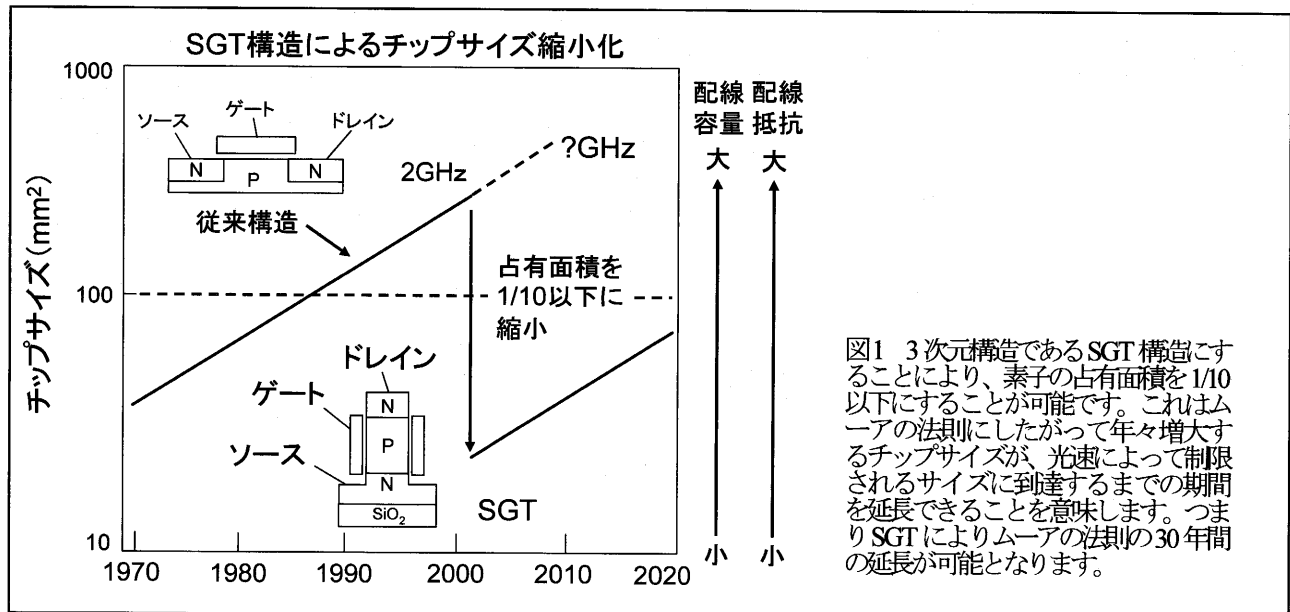


知的情報化社会の基盤を支える新しい半導体デバイス・システムの研究(4項 固体電子工学研究分野, 1節 情報デバイス研究部門の目標と成果, 第3章 研究活動)

雑誌名	東北大学電気通信研究所研究活動報告
巻	12
ページ	14-15
発行年	2006-08
URL	http://hdl.handle.net/10097/30557

固体電子工学研究分野

知的情報化社会の基盤を支える 新しい半導体デバイス・システムの研究



<分野の目標>

ナノスケールの MOS デバイスに於いて、従来の延長の縮小化では、将来の超高性能集積回路システムを実現する事は困難であり、引き続き電子・情報産業の急成長を維持することは困難であると考えられている。固体電子工学研究分野では、高度情報社会の基盤となる次世代の高性能半導体集積回路の提案をめざして研究を行っている。具体的には、3次元構造を持つ Surrounding Gate Transistor (SGT) を用いた集積回路の実現を目的とする。SGT を用いることで、高速化・低消費電力化・高集積化が同時に実現されるからである (図1)。

<2005 年度の主な成果>

1. SGT の理論解析

SGT の強反転領域における電子移動度が実効垂直電界の緩和により増加することを示した。シリコン柱直径 10nm の SGT では、反転電荷密度 $1 \times 10^{-7} \text{C/cm}^2$ のときにプレーナ MOSFET に対して電子移動度が 53.4%増加した[1]。また、Floating Channel (FC)-SGT フラッシュメモリセルの S-factor を求める解析モデルを導出し、その解析結果が三次元デバイスシミュレーション結果とよく一致することを確認した。FC-SGT フラッシュメモリセルは、従来の平面型フラッシュメモリセルと比較して、十分小さい S-factor を示す。その結果として、FC-SGT フラッシュメモリセルは、従来の平面型フラッシュメモリセルよりも多値化の実現を容易にすることを明らかにした[4]。

2. ナノスケールシリコン柱の試作

埋め込みゲート型 SGT のためのナノスケールシリコン柱の試作プロセスを提案した。

電子ビームリソグラフィを用いることにより、40nm の直径の埋め込み領域を持つシリコン柱を試作できることを示した。加えて、シリコン側壁のエッチングレートの面方位依存性を示した[10]。

＜職員名＞

教 授 舩岡 富士雄 (1994 年より)

助 手 中村 広記

事務補佐員 鈴木 敦子

＜教授のプロフィール＞

1971 年東北大学大学院工学研究科電子工学博士課程を修了。工学博士。1971 年 (株) 東芝に入社。1994 年退社。同 10 月東北大学情報科学研究科教授。現在東北大学電気通信研究所教授、現在に至る。集積回路を中心に半導体分野の研究開発に従事。2 層多結晶シリコンを用いた EPROM の発明で昭和 55 年度全国発明表彰発明賞(1980 年)、昭和 53 年度第 1 回渡辺賞(1978 年)、その他フィールドシールド、多層配線、DRAM、SRAM、EPROM 回路及びフラッシュ EEPROM 等の発明で関東地方発明表彰発明奨励賞(1985 年、1986 年、1988 年、1991 年、2005 年)。IEEE Fellow Award(1995 年)。フラッシュ EEPROM 及び NAND 型 EEPROM の発明及び技術の確立の功績により、IEEE より MORRIS N. LIEBMANN MEMORIAL AWARD(1997 年)。2000 年市村産業賞 本賞 (2000 年)、SSDM Award(2002 年)、第 4 回 The Economist Innovation Awards 2005 (2005 年)。電子情報通信学会、ECS 各会員。IEEE フェロー。

＜2005 年度の主な発表論文等＞

- [1] 坂本渉, 羽田秀生, 桜庭弘, 中村広記, 舩岡富士雄, “強反転領域における SGT の移動度増加”, 電子情報通信学会論文誌 C, Vol. J88-C, No. 5, pp. 338-339, May, 2005.
- [2] F. Matsuoka, H. Sakuraba, F. Masuoka, “Device Design Guidelines for FC-SGT DRAM Cells With High Soft-Error Immunity”, IEEE Transactions on Electron Devices, Vol.52, No.6, pp. 1194- 1199, June, 2005.
- [3] H. Nakamura, I. Pesic, H. Sakuraba, F. Masuoka, “Analysis of the NAND-type DRAM-on-SGT for High-Density and Low-Voltage Memory”, Proceedings of 35th European Solid-State Device Research Conference (ESSDERC 2005), pp.193-196, Grenoble, September 12-16, 2005.
- [4] 山崎宏明, 中村広記, 桜庭弘, 舩岡富士雄, “FC-SGT フラッシュメモリセルのサブスレッショルド特性に関する解析”, 電気情報通信学会論文誌 C, Vol. J88-C, No. 11, pp. 989-996, Nov. 2005.
- [5] 日高剛, 網川裕之, 中村広記, 桜庭弘, 舩岡富士雄, “SGT 試作のための Si 柱側壁の犠牲酸化”, 電気情報通信学会論文誌 C, Vol. J88-C, No. 12, pp. 1230-1232, Dec. 2005.
- [6] Hideo Haneda, Wataru Sakamoto, Iliya I. Pesic, Hiroki Nakamura, Hiroshi Sakuraba, Fujio Masuoka, “An Accurate Model of the C-V Characteristic due to Quantum Mechanical Effects for the Surrounding Gate Transistor”, 2005 International Semiconductor Device Research Symposium, Symposium Proceedings, FA4-02, Maryland, December 7-9, 2005.
- [7] Takuya Ohba, Hiroki Nakamura, Hiroshi Sakuraba, Fujio Masuoka, “A Novel Tri-Control Gate Surrounding Gate Transistor (TCG-SGT) Flash Memory Cell”, 2005 International Semiconductor Device Research Symposium, Symposium Proceedings, FA5-04, Maryland, December 7-9, 2005.
- [8] Iliya Pesic, Hiroki Nakamura, Hideo Haneda, Hiroaki Yamazaki, Hiroshi Sakuraba, Fujio Masuoka, “Analytical Modeling of Short-Channel Multi-Gate SOI MOSFETs with Special Emphasis on the Partially-Depleted and Fully-Depleted Surrounding Gate Transistor”, 2005 International Semiconductor Device Research Symposium, Symposium Proceedings, FP4-02, Maryland, December 7-9, 2005.
- [9] 門脇卓也, 中村広記, 桜庭弘, 舩岡富士雄, “フィードバック技術を用いた新しいビットラインダイレクトセンス回路によるフラッシュメモリの高速化”, 電子情報通信学会論文誌 C, Vol. J89-C, No. 1, pp. 40-47, January, 2006.
- [10] T. Kitagawa, T. Hidaka, T. Ohba, H. Amikawa, T. Izumida, S. Ohtsu, H. Nakamura, H. Sakuraba, F. Masuoka, “Fabrication of Nanometer Silicon Pillars for Buried-Gate-Type Surrounding Gate Transistor by Silicon Quasi-Isotropic Etching”, Japanese Journal of Applied Physics, Vol.45, No. 1A, pp. 54-56, January, 2006.